

#2

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	Yoshiyuki Nakamura	Examiner:	Unassigned
Serial No:	Unassigned	Art Unit:	Unassigned
Filed:	Herewith	Docket:	14945
For:	SEMICONDUCTOR APPARATUS FOR PROVIDING RELIABLE DATA ANALYSYS OF SIGNALS		Dated: September 27, 2001

Assistant Commissioner for Patents
United States Patent and Trademark Office
Washington, D.C. 20231


jc825 U.S. PTO
09/965565
09/27/01

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submits a certified copy of Japanese Patent Application No. 2000-298096 (298096/2000), filed on September 29, 2000.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No.: 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343

CERTIFICATE OF MAILING BY "EXPRESS MAIL"

Express Mailing Label No.: EL 793482236 US

Date of Deposit: September 27, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents and Trademarks, Washington, D.C. 20231 on September 27, 2001.

Dated: September 27, 2001


Michelle Mustafa

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

#2



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 9月29日

出願番号

Application Number:

特願2000-298096

出願人

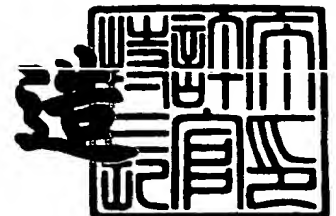
Applicant(s):

日本電気株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3014135

【書類名】 特許願

【整理番号】 74510231

【提出日】 平成12年 9月29日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/82 610
G01R 31/28

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 中村 芳行

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100102864

【弁理士】

【氏名又は名称】 工藤 実

【選任した代理人】

【識別番号】 100099553

【弁理士】

【氏名又は名称】 大村 雅生

【手数料の表示】

【予納台帳番号】 053213

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の検査方法

【特許請求の範囲】

【請求項 1】 入力信号群に基づいて、デジタル信号である結果信号を、クロック信号に同期して出力する判断器を具備し、

前記判断器は、

前記入力信号群が所定の状態にあるとき、前記クロック信号が示すタイミングで前記結果信号を反転して出力し、

前記入力信号群が前記状態にないとき、前記結果信号を反転せずに出力する半導体装置。

【請求項 2】 請求項 1 の半導体装置において、

前記入力信号群は、

第 1 信号と、

第 2 信号

とを含み、

前記状態は、前記第 1 信号と前記第 2 信号とが一致する一致状態である半導体装置。

【請求項 3】 請求項 1 の半導体装置において、

前記判断器は、

フリップフロップ入力信号を出力する論理回路と、

前記クロック信号に同期して前記フリップフロップ入力信号をラッチし、前記フリップフロップ入力信号をラッチすることにより取得した保持データを保持し、前記保持データに基づいて前記結果信号を出力するフリップフロップとを含み、

前記論理回路は、前記保持データを示す保持データ信号と前記入力信号群とに基づいて、前記入力信号群が前記状態にあるときには前記保持データの負論理を示すように前記フリップフロップ入力信号を出力し、且つ、前記入力信号群が前記状態にないときには前記保持データの正論理を示すように前記フリップフロップ入力信号を出力する

半導体装置。

【請求項 4】 請求項 1 から請求項 3 のいずれかに記載された半導体装置において、

前記判断器は、比較器であることを特徴とする

半導体装置。

【請求項 5】 請求項 3 の半導体装置において、

前記論理回路は、

前記保持データ信号を反転した反転データ信号を出力するインバータと、

前記反転データ信号と前記入力信号群との排他的論理和を、前記フリップフロップ入力信号として出力する X O R ゲート

とを具備する

半導体装置。

【請求項 6】 $2n$ 個 ($n: 2$ 以上の自然数) の入力信号群に基づき n 個の結果信号群を出力する n 個の比較器群と、ここで前記比較器群のうちの第 i 比較器 (i は、 n 以下の自然数のそれぞれ) は、前記入力信号群のうちの第 $2i-1$ 入力信号と第 $2i$ 入力信号とに基づいて、前記結果信号群のうちの第 i 結果信号を、クロック信号に同期して出力し、

前記結果信号群の論理和である総合結果信号を出力する O R ゲートとを具備し、

前記第 i 比較器は、前記第 $2i-1$ 入力信号と前記第 $2i$ 入力信号とが一致するとき、前記クロック信号が示すタイミングで前記第 i 結果信号を反転して出力し、前記第 $2i-1$ 入力信号と前記第 $2i$ 入力信号とが一致しないとき、前記第 i 結果信号を反転せずに出力する

半導体装置。

【請求項 7】 $2n$ 個 ($n: 2$ 以上の自然数) の入力信号群に基づき n 個の結果信号群を出力する n 個の比較器群と、ここで前記比較器群のうちの第 i 比較器 (i は、 n 以下の自然数のそれぞれ) は、前記入力信号群のうちの第 $2i-1$ 入力信号と第 $2i$ 入力信号とに基づいて、前記結果信号群のうちの第 i 結果信号を、クロック信号に同期して出力し、

前記結果信号群の論理積である総合結果信号を出力するANDゲートとを具備し、

前記第 i 比較器は、前記第 $2i-1$ 入力信号と前記第 $2i$ 入力信号とが一致するとき、前記クロック信号が示すタイミングで前記第 i 結果信号を反転して出力し、前記第 $2i-1$ 入力信号と前記第 $2i$ 入力信号とが一致しないとき、前記第 i 結果信号を反転せずに出力する

半導体装置。

【請求項 8】 被検査回路にアドレスを供給するアドレス発生器と、

前記被検査回路の前記アドレスにパターンを供給すると共に、前記被検査回路から出力されることが期待される期待値パターンを生成するテストパターン生成器と、

前記被検査回路から出力される出力パターンと前記期待値パターンとを比較し、前記出力パターンと前記期待値パターンとが一致するときクロック信号が示すタイミングでデジタル信号である結果信号を反転して出力し、前記出力パターンと前記期待値パターンとが一致しないとき前記結果信号を反転せずに出力する比較器

とを有する検査回路を備えたことを特徴とする半導体装置。

【請求項 9】 被検査回路にアドレスを供給するアドレス発生器と、

前記被検査回路の前記アドレスにパターンを供給すると共に、前記被検査回路から出力されることが期待される期待値パターンを生成するテストパターン生成器と、

前記被検査回路から出力される出力パターンと前記期待値パターンとを比較し、前記出力パターンと前記期待値パターンとが一致するときクロック信号が示すタイミングでデジタル信号である結果信号を反転して出力し、前記出力パターンと前記期待値パターンとが一致しないとき前記結果信号を反転せずに出力する比較器

とを有する検査回路を複数個備えた半導体装置であって、

前記複数個の検査回路から出力される複数の結果信号の論理和である総合結果信号を出力するORゲートを更に有することを特徴とする半導体装置。

【請求項 1 0】 被検査回路にアドレスを供給するアドレス発生器と、
前記被検査回路の前記アドレスにパターンを供給すると共に、前記被検査回路から出力されることが期待される期待値パターンを生成するテストパターン生成器と、

前記被検査回路から出力される出力パターンと前記期待値パターンとを比較し、前記出力パターンと前記期待値パターンとが一致するときクロック信号が示すタイミングでデジタル信号である結果信号を反転して出力し、前記出力パターンと前記期待値パターンとが一致しないとき前記結果信号を反転せずに出力する比較器

とを有する検査回路を複数個備えた半導体装置であって、

前記複数個の検査回路から出力される複数の結果信号の論理和である総合結果信号を出力する AND ゲートを更に有することを特徴とする半導体装置。

【請求項 1 1】 被検査回路から出力される出力パターンを半導体装置に入力することと、

前記被検査回路から出力されることが期待される期待値パターンを前記半導体装置に入力することと、

クロック信号を前記半導体装置に入力することと、

前記出力パターンと前記期待値パターンとに基づき、デジタル信号である結果信号を前記クロック信号に同期して出力すること
とを具備し、

前記出力することは、

前記出力パターンと前記期待値パターンとが一致するとき、前記クロック信号が示すタイミングで前記結果信号を反転して出力することと、

前記出力パターンと前記期待値パターンとが一致しないとき、前記結果信号を反転せずに出力すること

とを含む

検査方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置に関する。特に本発明は、デジタル信号を比較し、又は、デジタル信号の状態の判断を行う半導体装置に関する。

【0002】

【従来の技術】

半導体装置では、データの比較、又は、データの判断が行われる。とりわけ、半導体回路を試験する半導体装置では、その半導体回路からの回路応答信号と、その半導体回路から送られてくることが期待される期待応答信号との比較が行われる。

【0003】

そのような比較分析回路が、公開特許公報（特開平6-201801）に開示されている。公知のその比較分析回路は、図9に示されているように、排他的ORゲート101～104と、ORゲート105とを含んでいる。排他的ORゲート101～104の第1入力は、それぞれ、回路応答信号（X）を受け取るように結合されている。回路応答信号（X）は、試験が行われる半導体回路が出力する信号である。排他的ORゲート101～104の第2入力は、それぞれ、期待応答信号（X）を受け取るように結合されている。期待応答信号（X）は、その半導体回路が出力すると期待されている信号である。排他的ORゲート101～104は、それぞれ、回路応答信号（X）と期待応答信号（X）とが一致するとき”0”を、一致しないとき”1”を出力する。排他的ORゲート101～104それぞれの出力は、ORゲート105の各入力に結合されている。ORゲート105の出力は、端子106に接続されている。端子106に現れた信号から、回路応答信号（X）と期待応答信号（X）とが一致するか否かが判断され得る。

【0004】

しかし、公知のその比較分析回路では、それ自体に不良がある場合と、半導体回路の故障がある場合とを分離することができない。例えば、排他的ORゲート101が故障して、論理”0”に固定されたとする。この場合、信号Circuit_Response（0）と信号Expected_Response（0）とが一致している結果、排他的ORゲート101が論理”0”を出力している

のか、排他的ORゲート101が故障して論理”0”に固定されたために、排他的ORゲート101が論理”0”を出力しているのかを、排他的ORゲート101から出力される信号のみから判断することはできない。

【0005】

比較回路が故障していることに起因して、対比する信号が一致していると誤って認識される可能性が排除されることが望まれる。

【0006】

【発明が解決しようとする課題】

本発明の目的は、当該比較回路が故障していることに起因して、対比する信号が一致していると誤って認識される可能性を排除できる比較回路を提供することにある。

【0007】

本発明の他の目的は、対比する信号を比較する比較回路そのものに不良があるときに、その不良が検出され得る比較回路を提供することにある。

【0008】

本発明の更に他の目的は、当該比較回路を使用して半導体装置をテストする場合に、その半導体装置のテストに要する時間が短縮できる比較回路を提供することにある。

【0009】

本発明の更に他の目的は、信号が所定の状態にあるか否かを判断回路を使用して判断する場合に、その判断と同時に、判断回路そのものに不良がないことが検出され得る判断回路を提供することにある。

【0010】

【課題を解決するための手段】

その課題を解決するための手段は、下記のように表現される。その表現中に現れる技術的事項には、括弧（）つきで、番号、記号等が添記されている。その番号、記号等は、本発明の複数の実施の形態のうちの、少なくとも1つの実施の形態を構成する技術的事項、特に、その実施の形態に対応する図面に表現されている技術的事項に付せられている参照番号、参照記号等に一致している。このよう

な参照番号、参照記号は、請求項記載の技術的事項と実施の形態の技術的事項との対応・橋渡しを明確にしている。このような対応・橋渡しは、請求項記載の技術的事項が実施の形態の技術的事項に限定されて解釈されることを意味しない。

【0011】

本発明による半導体装置は、入力信号群 (Dout、Datae、 $X_1 \sim X_N$) に基づいて、デジタル信号である結果信号 (Result) を、クロック信号 (CLK) に同期して出力する判断器 (10、30) を具備する。判断器 (10、30) は、入力信号群 (Dout、Datae、 $X_1 \sim X_N$) が所定の状態にあるとき、クロック信号 (CLK) が示すタイミングで結果信号 (Result) を反転して出力する。一方、入力信号群 (Dout、Datae、 $X_1 \sim X_N$) が所定のその状態にないとき、判断器 (10、30) は、結果信号 (Result) を反転せずに出力する。当該半導体装置では、クロック信号 (CLK) が示すタイミングで結果信号 (Result) が反転して出力されていることから、入力信号群 (Dout、Datae、 $X_1 \sim X_N$) が所定の状態にあると判断できると同時に、判断器 (10、30) 自体に故障がないと判断できる。なぜなら、半導体装置の故障は、それに含まれる信号線が High レベル、Low レベル、又はハイインピーダンス状態に固定されるような故障が殆どだからである。

【0012】

なお、本明細書においては、例えば「入力信号群」のように、「群」という記載が使用されている。この「群」という記載は、特に数量の指定がない場合、単一である場合も、複数である場合もあり得ることを示すと理解されるべきである。

【0013】

当該半導体装置において、入力信号群 (Dout、Datae) は、第1信号 (Dout) と、第2信号 (Datae) とを含む。このとき、所定のその状態は、第1信号 (Dout) と第2信号 (Datae) とが一致する一致状態である。この場合、クロック信号 (CLK) が示すタイミングで結果信号 (Result) が反転して出力されていることから、第1信号 (Dout) と第2信号 (Datae) とが一致していると判断できるのと同時に、判断器 (10) 自体に

故障がないと判断できる。

【0014】

当該半導体装置において、判断器(10)は、フリップフロップ入力信号(D_{in})を出力する論理回路(1、31、31a)と、フリップフロップ(2、32、32a)とを含む。フリップフロップ(2、32、32a)は、クロック信号(CLK)に同期してフリップフロップ入力信号(D_{in})をラッチする。更にフリップフロップ(2、32、32a)は、フリップフロップ入力信号(D_{in})をラッチすることにより取得した保持データを保持する。更にフリップフロップ(2、32、32a)は、その保持データに基づいて結果信号(Result)を出力する。論理回路(1、31、31a)は、その保持データを示す保持データ信号(Q_{out})と入力信号群(Dout、Datae、 $X_1 \sim X_N$)とに基づいて、入力信号群(Dout、Datae、 $X_1 \sim X_N$)が所定のその状態にあるときには、フリップフロップ(2、32、32a)が保持する保持データの負論理を示すようにフリップフロップ入力信号(D_{in})を出力する。更に、入力信号群(Dout、Datae、 $X_1 \sim X_N$)が所定のその状態にないときには、論理回路(1、31、31a)は、フリップフロップ(2、32、32a)が保持する保持データの正論理を示すようにフリップフロップ入力信号(D_{in})を出力する。

【0015】

当該半導体装置において、判断器(10、30)は、比較器(10)であることがある。

【0016】

当該半導体装置において、論理回路(1)は、保持データ信号(Q_{out})を反転した反転データ信号を出力するインバータ(3)と、その反転データ信号と入力信号群(Dout、Datae)との排他的論理和を、フリップフロップ入力信号(D_{in})として出力するXORゲート(4)とを具備することがある。

【0017】

本発明による半導体装置は、 $2n$ 個($n:2$ 以上の自然数)の入力信号群(Dout__A、Dout__B、Datae__A、Datae__B)に基づき n 個の

結果信号群 (Result__A、Result__B) を出力する n 個の比較器群 (10a、10b) と、結果信号群 (Result__A、Result__B) の論理和である総合結果信号 (Result__All) を出力する OR ゲート (21) とを具備する。ここで比較器群 (10a、10b) のうちの第 i 比較器 (i は、 n 以下の自然数のそれぞれ) (10a) は、入力信号群 (Dout__A、Dout__B、Datae__A、Datae__B) のうちの第 $2i-1$ 入力信号 (Dout__A) と第 $2i$ 入力信号 (Datae__A) とに基づいて、結果信号群 (Result__A、Result__B) のうちの第 i 結果信号 (Result__A) を、クロック信号 (CLK) に同期して出力する。第 i 比較器 (10a) は、第 $2i-1$ 入力信号 (Dout__A) と第 $2i$ 入力信号 (Datae__A) とが一致するとき、クロック信号 (CLK) が示すタイミングで第 i 結果信号 (Result__A) を反転して出力する。更に第 i 比較器 (10a) は、第 $2i-1$ 入力信号 (Dout__A) と第 $2i$ 入力信号 (Datae__A) とが一致しないとき、第 i 結果信号 (Result__A) を反転せずに出力する。

【0018】

本発明による半導体装置は、 $2n$ 個 (n は、2 以上の自然数) の入力信号群 (Dout__A、Dout__B、Datae__A、Datae__B) に基づいて n 個の結果信号群 (Result__A、Result__B) を出力する n 個の比較器群 (10a、10b) と、結果信号群 (Result__A、Result__B) の論理積である総合結果信号を出力する AND ゲート (図示されない) とを具備する。ここで比較器群 (10a、10b) のうちの第 i 比較器 (i は、 n 以下の自然数のそれぞれ) (10a) は、入力信号群 (Dout__A、Dout__B、Datae__A、Datae__B) のうちの第 $2i-1$ 入力信号 (Dout__A) と第 $2i$ 入力信号 (Datae__A) とに基づいて、結果信号群 (Result__A、Result__B) のうちの第 i 結果信号 (Result__A) を、クロック信号 (CLK) に同期して出力する。第 i 比較器 (10a) は、第 $2i-1$ 入力信号 (Dout__A) と第 $2i$ 入力信号 (Datae__A) とが一致するとき、クロック信号 (CLK) が示すタイミングで第 i 結果信号 (Result__A) を反転して出力する。更に第 i 比較器 (10a) は、第 $2i-1$ 入力信

号 (Dout__A) と第 2 i 入力信号 (Datae__A) とが一致しないとき、第 i 結果信号 (Result__A) を反転せずに出力する。

【0019】

本発明による半導体装置は、検査回路 (20a、20b) を備えている。その検査回路 (20a、20b) は、アドレス発生器 (11a、11b) と、テストパターン生成器 (12a、12b) と、比較器 (10a、10b) とを有する。アドレス発生器 (11a、11b) は、被検査回路 (22a、22b) にアドレスを供給する。テストパターン生成器 (12a、12b) は、被検査回路 (22a、22b) のそのアドレスにパターン (Dtest__A、Dtest__B) を供給すると共に、被検査回路 (22a、22b) から出力されることが期待される期待値パターン (Datae__A、Datae__B) を生成する。比較器 (10a、10b) は、被検査回路 (22a、22b) から出力される出力パターン (Dout__A、Dout__B) と期待値パターン (Datae__A、Datae__B) とを比較し、出力パターン (Dout__A、Dout__B) と期待値パターン (Datae__A、Datae__B) とが一致するときクロック信号 (CLK) が示すタイミングでデジタル信号である結果信号 (Result__A、Result__B) を反転して出力し、出力パターン (Dout__A、Dout__B) と期待値パターン (Datae__A、Datae__B) とが一致しないとき結果信号 (Result__A、Result__B) を反転せずに出力する。

【0020】

本発明による半導体装置は、検査回路 (20a、20b) を複数個備えている。検査回路 (20a、20b) のそれぞれは、アドレス発生器 (11a、11b) と、テストパターン生成器 (12a、12b) と、比較器 (10a、10b) とを有する。アドレス発生器 (11a、11b) は、被検査回路 (22a、22b) にアドレスを供給する。テストパターン生成器 (12a、12b) は、前記被検査回路 (22a、22b) の前記アドレスにパターン (Dtest__A、Dtest__B) を供給すると共に、被検査回路 (22a、22b) から出力されることが期待される期待値パターン (Datae__A、Datae__B) を生成する。比較器 (10a、10b) は、被検査回路 (22a、22b) から出力さ

れる出力パターン (Dout__A、Dout__B) と期待値パターン (Datae__A、Datae__B) とを比較し、出力パターン (Dout__A、Dout__B) と期待値パターン (Datae__A、Datae__B) とが一致するときクロック信号 (CLK) が示すタイミングでデジタル信号である結果信号 (Result__A、Result__B) を反転して出力し、出力パターン (Dout__A、Dout__B) と期待値パターン (Datae__A、Datae__B) とが一致しないとき結果信号 (Result__A、Result__B) を反転せずに出力する。当該半導体装置は、更に、複数個のその検査回路 (20a、20b) から出力される複数の結果信号 (Result__A、Result__B) の論理和である総合結果信号 (Result__All) を出力するORゲート (21) を有する。

【0021】

本発明による半導体装置は、検査回路 (20a、20b) を複数個備えている。検査回路 (20a、20b) のそれぞれは、アドレス発生器 (11a、11b) と、テストパターン生成器 (12a、12b) と、比較器 (10a、10b) とを有する。アドレス発生器 (11a、11b) は、被検査回路 (22a、22b) にアドレスを供給する。テストパターン生成器 (12a、12b) は、前記被検査回路 (22a、22b) の前記アドレスにパターン (Dtest__A、Dtest__B) を供給すると共に、被検査回路 (22a、22b) から出力されることが期待される期待値パターン (Datae__A、Datae__B) を生成する。比較器 (10a、10b) は、被検査回路 (22a、22b) から出力される出力パターン (Dout__A、Dout__B) と期待値パターン (Datae__A、Datae__B) とを比較し、出力パターン (Dout__A、Dout__B) と期待値パターン (Datae__A、Datae__B) とが一致するときクロック信号 (CLK) が示すタイミングでデジタル信号である結果信号 (Result__A、Result__B) を反転して出力し、出力パターン (Dout__A、Dout__B) と期待値パターン (Datae__A、Datae__B) とが一致しないとき結果信号 (Result__A、Result__B) を反転せずに出力する。当該半導体装置は、更に、複数個のその検査回路 (20a、20b)

）から出力される複数の結果信号結果信号（R e s u l t _ A、R e s u l t _ B）の論理積である総合結果信号（R e s u l t _ A l l）を出力するANDゲート（図示されない）を有する。

【 0 0 2 2 】

【発明の実施の形態】

以下、添付図面を参照しながら、本発明による実施の形態の半導体装置を説明する。

【 0 0 2 3 】

実施の第 1 形態：

実施の第 1 形態の半導体装置は、半導体回路で構成された比較器である。当該比較器は、半導体回路のテスト回路に使用される。図 1 は、実施の第 1 形態の比較器の構成を示す。

【 0 0 2 4 】

当該実施の形態の比較器 1 0 は、試験の対象である半導体回路（図示されない）から出力される出力パターン D o u t と、その半導体回路から出力されることが期待される期待値パターン D a t a e とを比較する。出力パターン D o u t と期待値パターン D a t a e とが一致するとき、試験の対象であるその半導体回路は正常であると判断される。比較器 1 0 は、その比較の結果を示す結果信号 R e s u l t を出力する。即ち、比較器 1 0 は、出力パターン D o u t と期待値パターン D a t a e とが一致した状態にあるか否かを判断し、その判断の結果を示す結果信号 R e s u l t を出力する。

【 0 0 2 5 】

このとき比較器 1 0 は、出力パターン D o u t と期待値パターン D a t a e とが一致するとき、クロック信号 C L K が立ち上がるごとに結果信号 R e s u l t を反転する。一方、出力パターン D o u t と期待値パターン D a t a e とが一致しないとき、比較器 1 0 は、クロック信号 C L K が立ち上がっても結果信号 R e s u l t を反転せず、そのままに維持して結果信号 R e s u l t を出力する。以下、比較器 1 0 を詳細に説明する。

【 0 0 2 6 】

比較器 1 0 は、論理回路 1 と、フリップフロップ 2 とを含む。

【 0 0 2 7 】

論理回路 1 は、インバータ 3 と X O R ゲート 4 とからなる。インバータ 3 の入力は、フリップフロップ 2 の出力 Q に接続されている。インバータ 3 の出力は、X O R ゲート 4 の第 1 入力に接続されている。X O R ゲート 4 の第 2 入力には、出力パターン D o u t が入力され、X O R ゲート 4 の第 3 入力には、期待値パターン D a t a e が入力される。X O R ゲート 4 は、フリップフロップ 2 の入力 D に、信号 D_{i n} を出力する。

【 0 0 2 8 】

フリップフロップ 2 は、クロック信号 C L K の立ち上がりエッジをトリガにして、信号 D_{i n} をラッチする。信号 D_{i n} が H i g h レベル（電源電位）であることは、データ " 1 " に、信号 D_{i n} が L o w レベル（接地電位）であることは、データ " 0 " に対応づけられている。フリップフロップ 2 は、信号 D_{i n} をラッチして取得した、" 1 " 又は " 0 " であるデジタルデータを保持する。

【 0 0 2 9 】

フリップフロップ 2 は、更に、リセット端子 R E S E T を有する。リセット端子 R E S E T に H i g h レベルである信号 R e s e t が入力されると、フリップフロップ 2 は、データ " 0 " を保持する状態に強制的に設定される。

【 0 0 3 0 】

フリップフロップ 2 は、それが保持するデータを示す信号 Q_{o u t} を出力 Q から出力する。フリップフロップ 2 は、データ " 1 " を保持しているとき、信号 Q_{o u t} を H i g h レベルにして出力する。フリップフロップ 2 は、データ " 0 " を保持しているとき、信号 Q_{o u t} を L o w レベルにして出力する。フリップフロップ 2 の出力 Q は、出力端子 5 に接続されている。

【 0 0 3 1 】

結果信号 R e s u l t は、出力端子 5 から出力される。即ち、結果信号 R e s u l t は、フリップフロップ 2 が出力する信号 Q_{o u t} に一致する。

【 0 0 3 2 】

続いて、比較器 1 0 の動作を説明する。

【 0 0 3 3 】

図 2 は、論理回路 1 の真理値表を示す。図 2 に示されているように、論理回路 1 は、出力パターン D_{out} と期待値パターン $D_{at a e}$ とが一致するとき、フリップフロップ 2 が出力していた信号 Q_{out} の反転信号を信号 D_{in} として出力する。フリップフロップ 2 は、クロック信号 CLK の立ち上がりエッジをトリガとして信号 D_{in} をラッチする。

【 0 0 3 4 】

論理回路 1 の真理値表から理解されるように、出力パターン D_{out} と期待値パターン $D_{at a e}$ とが一致するとき、信号 Q_{out} は、クロック信号 CLK の立ち上がりエッジごとに反転することになる。信号 Q_{out} と同一である結果信号 $Result$ も、出力パターン D_{out} と期待値パターン $D_{at a e}$ とが一致する場合、クロック信号 CLK が立ち上がるごとに反転することになる。

【 0 0 3 5 】

一方、出力パターン D_{out} と期待値パターン $D_{at a e}$ とが一致しないとき、論理回路 1 は、信号 Q_{out} を信号 D_{in} として出力する。出力パターン D_{out} と期待値パターン $D_{at a e}$ とが一致しない場合、信号 D_{in} をラッチしても、フリップフロップ 2 が保持するデータは反転せずそのままに維持される。フリップフロップ 2 が出力する信号 Q_{out} と同一である結果信号 $Result$ は、クロック信号 CLK が立ち上がってもそのままの状態を維持することになる。

【 0 0 3 6 】

クロック信号 CLK が立ち上がるごとに結果信号 $Result$ が反転していれば、試験される半導体回路が出力する出力パターン D_{out} と期待値パターン $D_{at a e}$ とが一致していると判断できる。

【 0 0 3 7 】

このとき、比較器 10 に故障がある結果、出力パターン D_{out} と期待値パターン $D_{at a e}$ とが一致していると誤って判断される可能性は、実質的に完全に排除されている。なぜなら、比較器 10 が故障している場合には、クロック信号 CLK が立ち上がるごとに結果信号 $Result$ が反転するような動作を比較器 10 が行うことは、ほぼあり得ないからである。半導体回路で構成された比較器

10が故障を有する場合、結果信号Resultは、Highレベル（電源電位）、Lowレベル（接地電位）、又はハイインピーダンス状態に固定されることになる。なぜなら、一般に、半導体回路が故障を有する場合、その半導体回路が信号を出力する信号線は、Highレベル（電源電位）、Lowレベル（接地電位）、又はハイインピーダンス状態に固定される場合が殆どだからである。以上のことは、クロック信号CLKが立ち上がるごとに結果信号Resultが反転する動作を比較器10が行っている場合に、比較器10が故障している可能性は実質的に0であることを意味している。

【0038】

このように、当該実施の形態の比較器10では、クロック信号CLKが立ち上がるごとに結果信号Resultが反転して出力する動作を行っていることから、出力パターンDoutと期待値パターンDataeとが一致していると判断できるのと共に、比較器10に故障がないと判断することもできる。

【0039】

一方、クロック信号CLKが立ち上がっても結果信号Resultが反転しない場合には、出力パターンDoutと期待値パターンDataeとが一致していない、又は、比較器10に故障があると判断できる。出力パターンDoutと期待値パターンDataeとが一致していないのか、比較器10に故障があるのかは、結果信号Resultと他の検査とに基づいて、判断する必要がある。

【0040】

続いて、比較器10の動作の具体例を図3に示されたタイミングチャートを参照しながら説明する。

【0041】

期間 $t < t_0$:

フリップフロップ2のRESET端子にHighレベルの信号が入力され、フリップフロップ2がリセットされる。フリップフロップ2はデータ"0"を保持し、結果信号ResultはLowレベルになる。

【0042】

期間 $t_0 \leq t < t_2$:

時刻 t_0 において、出力パターン D_{out} と期待値パターン D_{atae} との入力が開始される。 $t_0 \leq t < t_2$ において、出力パターン D_{out} と期待値パターン D_{atae} とは、いずれも $High$ レベルである。時刻 t_0 から時刻 t_2 の間では、出力パターン D_{out} と期待値パターン D_{atae} とは一致する。フリップフロップ 2 に入力される信号 D_{in} は、フリップフロップ 2 が出力していた信号 Q_{out} の反転信号になる。従って、フリップフロップ 2 は、クロック信号 CLK が立ち上がるごとに信号 Q_{out} を反転する。結果信号 $Result$ には、クロック信号 CLK が立ち上がるごとに反転されることにより、 $High$ レベルと Low レベルの信号とが交互に現れる。

【0043】

期間 $t_2 \leq t < t_3$:

時刻 t_2 において、出力パターン D_{out} が Low レベルに遷移する。その後、時刻 t_{31} において、クロック信号 CLK が立ち上がる。時刻 t_{31} において、出力パターン D_{out} と期待値パターン D_{atae} とは互いに異なる。従って、時刻 t_{31} において、フリップフロップ 2 が出力していた信号 Q_{out} が信号 D_{in} としてフリップフロップ 2 に入力される。フリップフロップ 2 に入力される信号 D_{in} は、時刻 t_{31} において、クロック信号 CLK が立ち上がっても、フリップフロップ 2 は、信号 Q_{out} を反転させず、そのままに維持することになる。結果信号 $Result$ も、そのままに維持される。クロック信号 CLK が立ち上がっても結果信号 $Result$ が反転しないことから、出力パターン D_{out} と期待値パターン D_{atae} とが一致していないと判断される。

【0044】

その後、時刻 t_{32} において、出力パターン D_{out} が $High$ レベルに遷移する。時刻 t_{32} から時刻 t_3 の間では、出力パターン D_{out} と期待値パターン D_{atae} とは一致する。時刻 t_{32} から時刻 t_3 の間では、結果信号 $Result$ も、クロック信号 CLK が立ち上がるごとに反転する。

【0045】

期間 $t \geq t_3$:

時刻 $t \geq t_3$ では、出力パターン D_{out} と期待値パターン D_{atae} とは一

致する。フリップフロップ2は、クロック信号CLKが立ち上がるごとに信号Q_{out}を反転しながら、信号Q_{out}を出力する。結果信号Resultも、クロック信号CLKが立ち上がるごとに反転する。

【0046】

以上に説明された波形を有する結果信号Resultから、比較器10は正常に動作しているが、試験の対象である半導体回路は故障を有すると判断することができる。

【0047】

まず、期間 $t_0 \leq t < t_2$ において、クロック信号CLKが立ち上がるごとに信号Q_{out}を反転している、即ち、結果信号ResultにHighレベルとLowレベルとが交互に現れていることから、比較器10が正常に動作していることが確定する。

【0048】

なぜなら、半導体回路で構成された比較器10の故障の大部分は、信号線がHighレベル、Lowレベル、又はハイインピーダンスに固定される故障であるからである。かかる故障が発生している場合には、比較器10が、クロック信号CLKが立ち上がるごとに結果信号Resultが反転するような動作をするとは、実質的にありえない。

【0049】

例えば、比較器10に含まれるXORゲート4の出力がHighレベルに固定されるような故障が発生したとする。この場合、フリップフロップ2は、常に、Highレベルである信号D_{in}をラッチすることになる。フリップフロップ2は、Highレベルの信号を信号Q_{out}として出力し続ける。結果信号Resultも、Highレベルに固定される。同様に、フリップフロップ2又はインバータ3の出力がある状態に固定されるような故障を起こしても、結果信号Resultが一定の状態に固定されることになる。

【0050】

更に、期間 $t_2 \leq t < t_3$ において、クロック信号CLKが立ち上がっても結果信号Resultが反転しない期間が存在したことから、試験の対象である半

導体回路が、故障を有すると判断することができる。比較器 1 0 が正常に動作していることが期間 $t_0 \leq t < t_2$ において出力される結果信号 Result から確定しているためである。

【 0 0 5 1 】

同様に考えれば、結果信号 Result が示す試験の結果は、以下の 3 つの場合に分類できることが理解される。

【 0 0 5 2 】

全てのクロック信号 CLK が立ち上がるごとに、結果信号 Result が必ず反転していれば、出力パターン Dout と期待値パターン Data e とが完全に一致し、試験の対象である半導体回路と比較器 1 0 との両方が、正常に動作していると判断できる。

【 0 0 5 3 】

一方、図 3 に示されている場合のように、ある期間では、クロック信号 CLK が立ち上がるごとに結果信号 Result が反転するが、他の期間では、クロック信号 CLK が立ち上がっても結果信号 Result が反転しない場合には、比較器 1 0 は正常であるが、試験の対象である半導体回路が故障している可能性が極めて高いと考えられる。比較器 1 0 が正常でなければ、クロック信号 CLK が立ち上がるごとに結果信号 Result が反転する動作を一時的にでもすることは考えられないからである。

【 0 0 5 4 】

また、クロック信号 CLK が立ち上がっても、結果信号 Result が全く反転しない場合には、試験される半導体回路と比較器 1 0 とのいずれが故障しているかは判断できない。試験される半導体回路と比較器 1 0 のいずれに故障があるかを確定するためには、それぞれを検査して判断することを要する。当該実施の形態では、試験される半導体回路と比較器 1 0 のいずれに故障があるかを確定するために、その半導体回路と比較器 1 0 とを別々に検査する必要があるのは、この場合のみである。試験される半導体回路と比較器 1 0 のいずれに故障があるかを確定する必要がなければ、比較器 1 0 のみを単独で検査する必要もない。

【 0 0 5 5 】

このように、図 9 に示された従来の比較分析回路とは異なり、当該実施の形態の比較器 1 0 では、比較器 1 0 の故障のために、試験される半導体回路が故障しているにもかかわらず試験される半導体回路が正常に動作していることを示す信号が結果信号 R e s u l t に現れる可能性が、実質的に完全に排除されている。試験される半導体回路が正常に動作していることを示す信号が結果信号 R e s u l t に現れている場合には、比較器 1 0 を改めて検査し、比較器 1 0 が正常に動作していることを確認する必要がない。このように、当該実施の形態の比較器 1 0 は、試験の対象である半導体回路を試験しながら、同時に、比較器 1 0 そのものも試験できる。当該実施の形態の比較器 1 0 を使用すれば、半導体回路をより効率よく検査できる。このような特長を有する当該実施の形態の比較器 1 0 は、高い信頼性を要求される B I S T (B u i l t I n S e l f T e s t) 回路に使用されることが特に好適である。

【 0 0 5 6 】

当該実施の形態の比較器 1 0 を使用して、複数の半導体回路を検査する場合には、当該実施の形態の比較器 1 0 は、複数のその半導体回路それぞれに対応して設けられる。このように比較器 1 0 が複数設けられる場合には、比較器 1 0 が出力する結果信号を一の信号にまとめ、より効率よく複数の半導体回路を検査することができる。

【 0 0 5 7 】

図 4 は、上述の比較器 1 0 と同一の構成を有する比較器を含む B I S T (B u i l t I n S e l f T e s t) 回路が複数設けられた半導体装置を示している。その半導体装置は、図 4 に示されているように、B I S T 回路 2 0 a、2 0 b と、O R ゲート 2 1 とを含んでいる。

【 0 0 5 8 】

B I S T 回路 2 0 a は、D R A M 2 2 a の検査を行い、検査の結果を示す結果信号 R e s u l t _ A を出力する。B I S T 回路 2 0 a は、D R A M 2 2 a が正常に動作していると判断する場合、クロック信号 C L K が L o w レベルから H i g h レベルに立ち上がるごとに、結果信号 R e s u l t _ A を反転する。B I S T 回路 2 0 a は、D R A M 2 2 a が正常に動作していないと判断する場合、クロ

ック信号CLKがLowレベルからHighレベルに立ち上がっても結果信号Result__Aを反転せず、そのままに維持する。

【0059】

BIST回路20bは、SRAM22bの検査を行い、検査の結果を示す結果信号Result__Bを出力する。BIST回路20bは、SRAM22bが正常に動作していると判断する場合、クロック信号CLKがLowレベルからHighレベルに立ち上がるごとに、結果信号Result__Bを反転する。BIST回路20bは、SRAM22bが正常に動作していないと判断する場合、クロック信号CLKがLowレベルからHighレベルに立ち上がっても結果信号Result__Bを反転せず、そのままに維持する。

【0060】

結果信号Result__Aと、結果信号Result__Bとは、いずれもデジタル信号である。結果信号Result__Aと結果信号Result__Bとは、ORゲート21に入力される。

【0061】

ORゲート21は、結果信号Result__Aと結果信号Result__Bの論理和である総合結果信号Result__Allを出力する。その結果、総合結果信号Result__Allは、DRAM22aとSRAM22bとの両方が正常に動作していれば、クロック信号CLKがLowレベルからHighレベルに立ち上がるごとに、反転されることになる。

【0062】

続いて、BIST回路20aの構成を詳細に説明する。BIST回路20aは、アドレス発生器11aと、テストパターン生成器12aと、比較器10aとを含む。比較器10aは、前述された、図1に示された構成を有する比較器10と同一の構成を有し、同一の動作を行う。

【0063】

アドレス発生器11aは、DRAM22aにアドレス信号Add__Aを出力する。アドレス信号Add__Aは、データが読み書きされるDRAM22aのアドレスを示す。

【 0 0 6 4 】

アドレス発生器 1 1 a は、信号 T m o d e _ A により動作が許可され、又は、動作を停止する。即ち、アドレス発生器 1 1 a は、信号 T m o d e _ A が H i g h レベルであるとき、前述のアドレス信号 A d d _ A を D R A M 2 2 a に出力する。信号 T m o d e _ A が L o w レベルであるときには、アドレス信号 A d d _ A を出力しない。

【 0 0 6 5 】

テストパターン生成器 1 2 a は、テストパターン D t e s t _ A を D R A M 2 2 a に出力する。更に、テストパターン生成器 1 2 a は、D R A M 2 2 a により出力されることが期待されている期待値パターン D o u t _ A を生成し、比較器 1 0 a に出力する。

【 0 0 6 6 】

テストパターン生成器 1 2 a は、信号 T m o d e _ A により動作が許可され、又は、動作を停止する。即ち、テストパターン生成器 1 2 a は、信号 T m o d e _ A が H i g h レベルであるとき、前述のテストパターン D t e s t _ A を D R A M 2 2 a に出力する。テストパターン生成器 1 2 a は、信号 T m o d e _ A が L o w レベルであるときには、テストパターン D t e s t _ A を出力しない。

【 0 0 6 7 】

アドレス発生器 1 1 a とテストパターン生成器 1 2 a とにより、それぞれ発生されたアドレス信号 A d d _ A とテストパターン D t e s t _ A とは、D R A M 2 2 a に入力される。D R A M 2 2 a は、前述のアドレス信号 A d d _ A が示すアドレスにテストパターン D t e s t _ A が示すデータを書き込む。続いて D R A M 2 2 a は、そのアドレスからデータを読み出して、出力パターン D o u t _ A を B I S T 回路 2 0 a の比較器 1 0 a に出力する。

【 0 0 6 8 】

比較器 1 0 a は、上述の図 1 に示された比較器 1 0 と同一の構成を有し、同一の動作を行う。即ち、比較器 1 0 a は、出力パターン D o u t _ A と期待値パターン D a t a e _ A とが一致するとき、クロック信号 C L K が立ち上がるごとに結果信号 R e s u l t _ A を反転する。一方、出力パターン D o u t _ A と期待

値パターンDatae__Aとが一致しないとき、比較器10aは、クロック信号CLKが立ち上がっても結果信号Result__Aを反転せず、そのままに維持して結果信号Result__Aを出力する。更に比較器10aは、信号Reset__AがHighレベルにされたとき、結果信号Result__AがLowレベルで出力される状態に強制的に設定される。

【0069】

BIST回路20bは、BIST回路20aと同一の構成を有している。即ち、BIST回路20bは、アドレス発生器11bと、テストパターン生成器12bと、比較器10bとを含む。比較器10bは、前述された、図1に示された構成を有する比較器10と同一の構成を有し、同一の動作を行う。

【0070】

更に、BIST回路20bは、検査の対象が、DRAM22aではなくSRAM22bであること以外は、BIST回路20aと同一の動作を行う。BIST回路20bの詳細な説明は行わない。

【0071】

続いて、図4に示されているBIST回路20a及び20bにより、DRAM22aとSRAM22bとが検査される過程を説明する。

【0072】

まず、BIST回路20aの動作チェックが行われる（ステップS01）。信号Tmode__Aが、一定の時間、Highレベルにされる。信号Tmode__Aが、Highレベルである間、アドレス発生器11aにて発生されたアドレス信号Add__Aにより選択されたDRAM22aのメモリセルにテストパターンDtest__Aを書き込む。その後、アドレス信号Add__Aにより選択されたメモリセルのデータを読み出し、読み出されたそのデータが、出力パターンDout__Aとして比較器10aに出力される。更に、期待値パターンDatae__Aが生成され、比較器10aに出力される。比較器10aにより、出力パターンDout__Aと期待値パターンDatae__Aとが比較され、結果信号Result__Aが生成される。クロック信号CLKが立ち上がるごとに結果信号Result__Aを反転していれば、比較器10aが正常であると判断される。

【 0 0 7 3 】

B I S T 回路 2 0 a の動作チェックのために生成されるテストパターン D t e s t _ A は、D R A M 2 2 a が完全に正常に動作することを確定できる程度の長さは必要ない。テストパターン D t e s t _ A は、比較器 1 0 a が正常であると判断できる程度の長さであれば、充分である。信号 T m o d e _ A は、比較器 1 0 a が正常に動作することが確認できる程度の時間、H i g h レベルにされる。

【 0 0 7 4 】

続いて、B I S T 回路 2 0 b の動作チェックが行われる（ステップ S 0 2）。B I S T 回路 2 0 b の動作チェックは、B I S T 回路 2 0 a の動作チェックと同様にして行われる。即ち、信号 T m o d e _ B が、比較器 1 0 b が正常に動作することが確認できる程度の間、H i g h レベルにされる。

【 0 0 7 5 】

続いて、D R A M 2 2 a と S R A M 2 2 b とが同時に検査される（ステップ S 0 3）。図 6 は、ステップ S 0 3 において D R A M 2 2 a と S R A M 2 2 b とが同時に検査される過程を示すタイミングチャートである。ここで、期待値パターンと出力パターンとの比較は、3 クロックおきに行われている。一般的に、B I S T 回路においては、1 つのアドレスに対してデータの書き込み及び読み出しが行われるため、期待値パターンと出力パターンとの比較が行われる時間間隔として 2 クロック以上が必要である。ここでは出力パターンと期待値パターンとの比較が 3 クロックおきに行われているものを記載している。

【 0 0 7 6 】

期間 $T_{pre} (t < t_{10})$:

信号 T m o d e _ A と信号 T m o d e _ B とが H i g h レベルにされ、B I S T 回路 2 0 a、2 0 b の両方がイネーブルにされる。更に、信号 R e s e t _ A、R e s e t _ B が H i g h レベルにされ、比較器 1 0 a、1 0 b はいずれも、L o w レベルを出力する状態に設定される。

【 0 0 7 7 】

期間 $T_{10}, T_{11} (t_{10} \leq t < t_{12})$:

D R A M 2 2 a と S R A M 2 2 b とから、アドレス 0 及びアドレス 1 のデータ

が、順次に、BIST回路20a、20bにそれぞれ入力される。

【0078】

DRAM22aから出力される出力パターンDout__Aと、期待値パターンDatae__Aとは、期間 T_{10} 及び T_{11} の間、いずれもLowレベルであり、互いに一致する。比較器10aから出力される結果信号Result__Aは、クロック信号CLKが立ち上がるごとに反転する。

【0079】

同様に、SRAM22bから出力される出力パターンDout__Bと、期待値パターンDatae__Bとは、期間 T_{10} 及び T_{11} の間、いずれもHighレベルであり、互いに一致する。比較器10bから出力される結果信号Result__Bは、クロック信号CLKが立ち上がるごとに反転する。

【0080】

総合結果信号Result__Allは、結果信号Result__Aと結果信号Result__Bとの論理和である。従って、総合結果信号Result__Allは、クロック信号CLKが立ち上がるごとに反転する。

【0081】

総合結果信号Result__Allから、DRAM22a及びSRAM22bのいずれも、アドレス0及びアドレス1において、故障がないと判断できる。

【0082】

このとき、期間 T_{11} の終期である時刻 t_{120} において、アドレス2の検査に使用されるデータが出力パターンDout__A及び出力パターンDout__BによりBIST回路20a、20bに入力される。時刻 t_{120} において、出力パターンDout__Aは、Lowレベルのまま維持される。出力パターンDout__Bは、HighレベルからLowレベルに遷移する。

【0083】

期間 T_{12} ($t_{12} \leq t < t_{13}$) :

DRAM22aとSRAM22bとから、アドレス2のデータが、BIST回路20a、20bにそれぞれ入力される。前述されているとおり、時刻 t_{120} において、出力パターンDout__Aは、Lowレベルのまま維持されるのに対

し、出力パターンDout__Bは、HighレベルからLowレベルに遷移している。

【0084】

時刻 t_{121} において、クロック信号CLKが立ち上がる。時刻 t_{121} において、出力パターンDout__Aと期待値パターンDatae__Aとは互いに一致する。比較器10aから出力される結果信号Result__Aは、時刻 t_{121} において反転される。

【0085】

一方、時刻 t_{121} において、出力パターンDout__Bと期待値パターンDatae__Bとは、一致しない。比較器10bから出力される結果信号Result__Bは、時刻 t_{121} において、クロック信号CLKが立ち上がっても反転されず、そのままLowレベルに維持される。

【0086】

結果信号Result__Aと結果信号Result__Bの論理和である総合結果信号Result__Allは、結果信号Result__AがLowレベルからHighレベルに遷移するのに対応して、LowレベルからHighレベルに遷移する。

【0087】

続いて、時刻 t_{122} において、出力パターンDout__BがLowレベルからHighレベルに遷移する。

【0088】

その後、時刻 t_{123} において、クロック信号CLKが立ち上がる。時刻 t_{123} において、出力パターンDout__Aと期待値パターンDatae__Aとは互いに一致する。比較器10aから出力される結果信号Result__Aは、時刻 t_{123} において反転され、Lowレベルに遷移する。

【0089】

同様に時刻 t_{122} において、出力パターンDout__Bと期待値パターンDatae__Bとは互いに一致する。比較器10bから出力される結果信号Result__Bは、時刻 t_{122} において反転され、Highレベルに遷移する。

【 0 0 9 0 】

結果信号 $Result_A$ と結果信号 $Result_B$ の論理和である総合結果信号 $Result_All$ は、出力パターン $Dout_B$ が $High$ レベルに遷移するのに対応して、 $High$ レベルのまま維持される。

【 0 0 9 1 】

時刻 t_{122} から時刻 t_{13} の間も、出力パターン $Dout_A$ と期待値パターン $Datae_A$ とは互いに一致し、出力パターン $Dout_B$ と期待値パターン $Datae_B$ とは互いに一致する。この結果、結果信号 $Result_A$ と結果信号 $Result_B$ とは、いずれもクロック信号 CLK が立ち上がる時刻 t_{123} に、反転される。しかし、時刻 t_{123} にて、結果信号 $Result_B$ が Low レベルに遷移するのに対し、結果信号 $Result_A$ は $High$ レベルに遷移するため、やはり、総合結果信号 $Result_All$ は、 $High$ レベルのまま維持される。

【 0 0 9 2 】

このように、出力パターン $Dout_B$ と期待値パターン $Datae_B$ とが一致しない時間が存在することにより、時刻 t_{121} 以降、総合結果信号 $Result_All$ は、 $High$ レベルに固定される。総合結果信号 $Result_All$ は、 $High$ レベルに固定されることから、 $DRAM22a$ 、又は、 $SRAM22b$ のいずれかのアドレス 2 に故障が存在すると判断できる。

【 0 0 9 3 】

期間 T_{13} 、 T_{14} ($t \geq t_{13}$) :

出力パターン $Dout_A$ と期待値パターン $Datae_A$ とは互いに一致し、出力パターン $Dout_B$ と期待値パターン $Datae_B$ とは互いに一致する。この結果、結果信号 $Result_A$ と結果信号 $Result_B$ とは、いずれもクロック信号 CLK が立ち上がるごとに反転される。

【 0 0 9 4 】

しかし、結果信号 $Result_A$ と結果信号 $Result_B$ とは、交互に $High$ レベルになる。その結果、総合結果信号 $Result_All$ は、 $High$ レベルに維持されつづける。

【0095】

以上に説明されたように、図4に示された半導体装置は、総合結果信号Result__Allのみから、DRAM22a及びSRAM22bのいずれにも故障がないのか、又は、いずれか一方には故障があるのかを判断することができる。総合結果信号Result__Allが、常に、クロック信号CLKが立ち上がるごとに反転すれば、DRAM22a及びSRAM22bのいずれにも故障がないと判断できる。総合結果信号Result__Allが、クロック信号CLKが立ち上がっても反転しない期間があれば、DRAM22a及びSRAM22bのいずれかに故障があると判断できる。かかる判断を総合結果信号Result__Allのみから行うことができる当該半導体装置は、テスト時間を短縮することができる。従って、DRAM22aとSRAM22bのようにBIST回路を共通にして用いることができない場合などには、効率のよい検査を行うことができる。

【0096】

なお、図4に示された半導体装置において、ORゲート21は、ANDゲートに置換されることも可能である。かかる場合にも、総合結果信号Result__Allのみから、DRAM22a及びSRAM22bのいずれにも故障がないのか、又は、いずれか一方には故障があるのかを判断することができる。

【0097】

更に、図4に示された半導体装置は2つのBIST回路を含む構成を有しているが、BIST回路は、3つ以上であることが可能であることは自明的である。

【0098】

実施の第2形態：

実施の第2形態の半導体装置は、半導体回路で構成された判断器である。図7は、実施の第2形態の判断器の構成を示す。

【0099】

当該実施の形態の判断器30は、それに入力される入力信号 $X_1 \sim X_N$ が、所定の状態にあるか否かを判断する。入力信号 $X_1 \sim X_N$ は、いずれも、デジタル信号である。

【 0 1 0 0 】

判断器 3 0 は、論理回路 3 1 とフリップフロップ 3 2 とを含む。

【 0 1 0 1 】

論理回路 3 1 には、入力信号 $X_1 \sim X_N$ と、フリップフロップ 3 2 の出力 Q から出力される出力信号 Q_{out} とが入力される。 N は、任意の自然数である。論理回路 3 1 は、入力信号 $X_1 \sim X_N$ が所定の状態にあるとき、出力信号 Q_{out} を反転させたものを信号 D_{in} として出力する。論理回路 3 1 は、入力信号 $X_1 \sim X_N$ が所定の状態にないとき、出力信号 Q_{out} を信号 D_{in} として出力する。

【 0 1 0 2 】

フリップフロップ 3 2 は、クロック信号 CLK が立ち上がるごとに信号 D_{in} をラッチする。フリップフロップ 2 は、信号 D_{in} をラッチして取得した、“ 1 ” 又は “ 0 ” であるデジタルデータを保持する。

【 0 1 0 3 】

フリップフロップ 3 2 は、更に、リセット端子 $RESET$ を有する。リセット端子 $RESET$ に $High$ レベルの信号が入力されると、フリップフロップ 3 2 は、データ “ 0 ” を保持する状態に強制的に設定される。

【 0 1 0 4 】

フリップフロップ 3 2 は、それが保持するデータを示す信号 Q_{out} を出力 Q から出力する。フリップフロップ 3 2 は、データ “ 1 ” を保持しているとき、信号 Q_{out} を $High$ レベルにして出力する。フリップフロップ 3 2 は、データ “ 0 ” を保持しているとき、信号 Q_{out} を Low レベルにして出力する。フリップフロップ 3 2 の出力 Q は、出力端子 3 3 に接続されている。

【 0 1 0 5 】

出力端子 3 3 から、入力信号 $X_1 \sim X_N$ が所定の状態にあるか否かを示す結果信号 $Result$ が出力される。結果信号 $Result$ は、フリップフロップ 3 2 が出力する信号 Q_{out} に一致する。

【 0 1 0 6 】

このような構成を有する判断器 3 0 は、入力信号 $X_1 \sim X_N$ が所定の状態にあ

る場合、クロック信号CLKが立ち上がるごとに、結果信号Resultを反転する。更に、判断器30は、入力信号 $X_1 \sim X_N$ が所定の状態にない場合、クロック信号CLKが立ち上がっても結果信号Resultを反転しない。

【0107】

当該実施の形態の判断器30では、実施の第1形態の比較器10と同様の理由により、クロック信号CLKが立ち上がるごとに結果信号Resultを反転していれば、入力信号 $X_1 \sim X_N$ が所定の状態にあると判断できるうえ、更に、判断器30に故障が存在しないと判断できる。

【0108】

当該実施の形態の判断器30の一例を図8に示す。図8に示された判断器30は、以後、判断器30aと記載する。

【0109】

判断器30aは、入力信号 X_1 がHighレベルの状態にあるか否かを判断する判断回路である。判断器30aは、XORゲート31aと、フリップフロップ32aとを含む。

【0110】

XORゲート31aの第1入力には、フリップフロップ32aの出力Qから出力される出力信号 Q_{out} が入力される。XORゲート31bの第2入力には、入力信号 X_1 が入力される。XORゲート31aは、出力信号 Q_{out} と入力信号 X_1 の排他的論理和(XOR)である信号 D_{in} を出力する。

【0111】

フリップフロップ32aは、クロック信号CLKが立ち上がるごとに信号 D_{in} をラッチし、出力Qから出力信号 Q_{out} を出力する。フリップフロップ32aの出力Qは、出力端子33に接続されている。出力端子33から出力信号 Q_{out} と同一である結果信号Resultが出力される。

【0112】

このような構成を有する判断器30aは、入力信号 X_1 がHighレベルの状態であるとき、クロック信号CLKが立ち上がるごとに、結果信号Resultを反転する。一方、入力信号 X_1 がHighレベルの状態でないとき、判断器3

0 a は、クロック信号 C L K が立ち上がっても、結果信号 R e s u l t を反転せず、そのままに維持する。

【0 1 1 3】

判断器 3 0 a は、実施の第 1 形態の比較器 1 0 と同様の理由により、クロック信号 C L K が立ち上がるごとに結果信号 R e s u l t が反転していれば、入力信号 X_1 が H i g h レベルであると判断できる上、更に、判断器 3 0 a に故障が存在しないと判断できる。仮に判断器 3 0 a の代わりにインバータを使用した場合には、そのインバータが出力する信号が L o w レベルであることから、入力信号 X_1 が H i g h レベルであると判断できる。しかし、インバータが故障して、その出力が L o w レベルに固定されている可能性を否定することができない。図 8 に示されている判断器 3 0 a は、それが故障しているために、入力信号 X_1 が H i g h レベルであると誤って認識される可能性を実質的に 0 にすることができる。

【0 1 1 4】

【発明の効果】

本発明により、当該比較回路が故障していることに起因して対比する信号が一致していると誤って認識される可能性を排除できる比較回路が提供される。

【0 1 1 5】

また、本発明により、対比する信号を比較する比較回路そのものに不良があるときに、その不良が検出され得る比較回路が提供される。

【0 1 1 6】

また、本発明により、当該比較回路を使用して半導体装置をテストする場合に、その半導体装置のテストに要する時間が短縮できる比較回路が提供される。

【0 1 1 7】

また、本発明により、信号が所定の状態にあるか否かを判断回路を使用して判断する場合に、その判断と同時に、判断回路そのものに不良がないことが検出され得る判断回路が提供される。

【図面の簡単な説明】

【図 1】

図 1 は、本発明の実施の第 1 形態の比較器の構成を示す。

【図 2】

図 2 は、論理回路 1 の真理値表を示す。

【図 3】

図 3 は、本発明の実施の第 1 形態の比較器の動作を示すタイミングチャートである。

【図 4】

図 4 は、本発明の実施の第 1 形態の検査回路を示す。

【図 5】

図 5 は、本発明の実施の第 1 形態の検査回路を使用した検査の手順を示すフローチャートである。

【図 6】

図 6 は、本発明の実施の第 1 形態の検査回路の動作を示すタイミングチャートである。

【図 7】

図 7 は、本発明の実施の第 2 形態の判断器の構成を示す。

【図 8】

図 8 は、本発明の実施の第 2 形態の判断器の一例を示す。

【図 9】

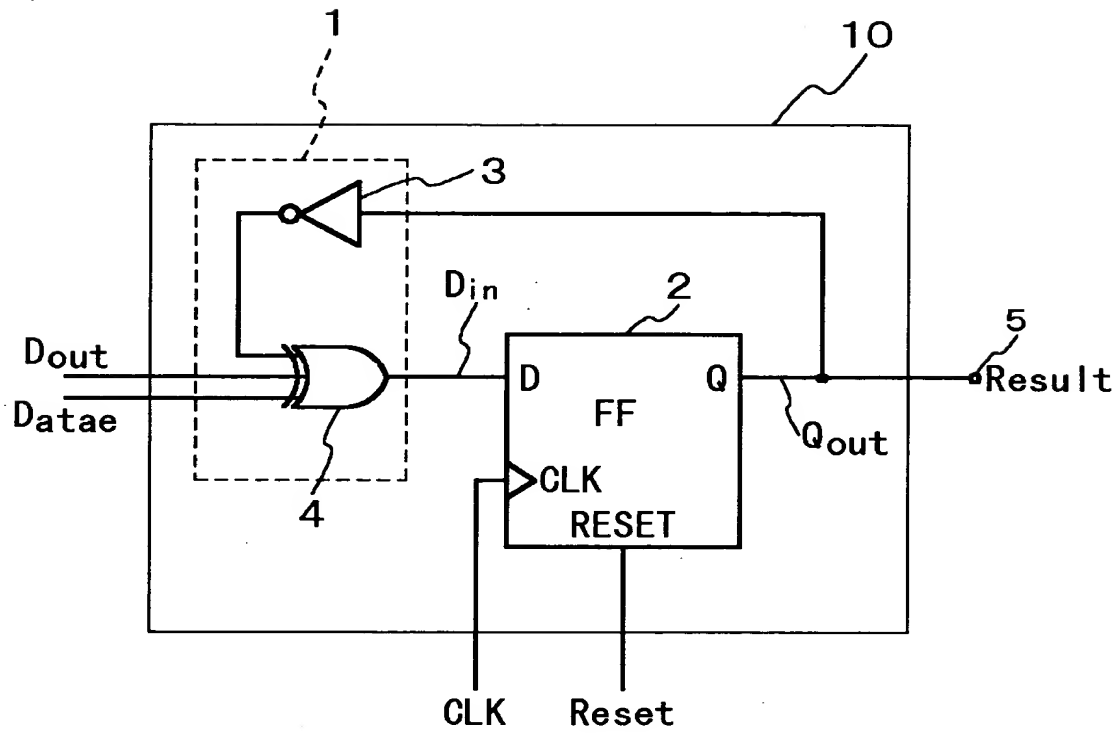
図 9 は、従来と比較分析回路を示す。

【符号の説明】

- 1、31：論理回路
- 2、32：フリップフロップ
- 3：インバータ
- 4、31a：XORゲート
- 10：比較器

【書類名】 図面

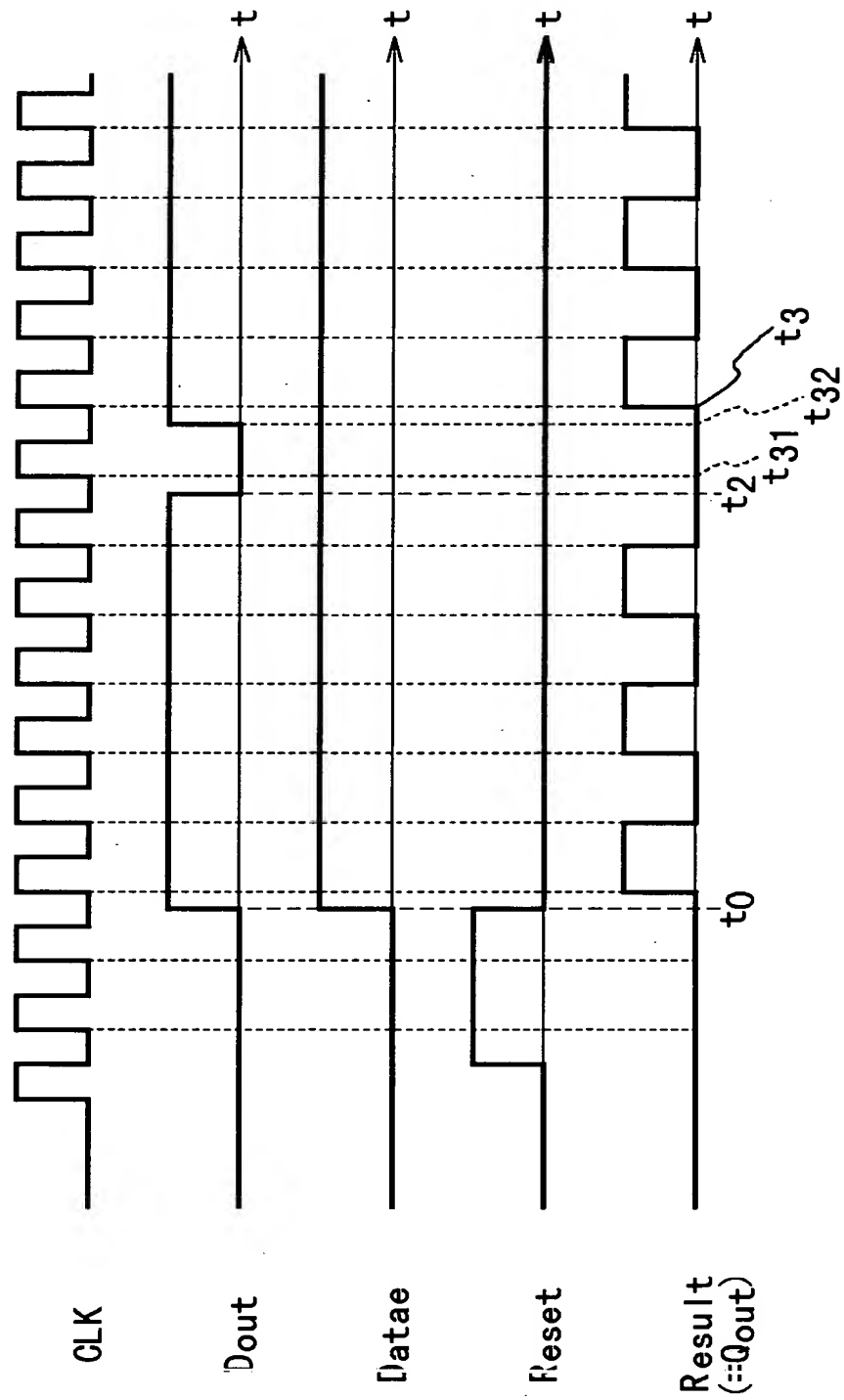
【図 1】



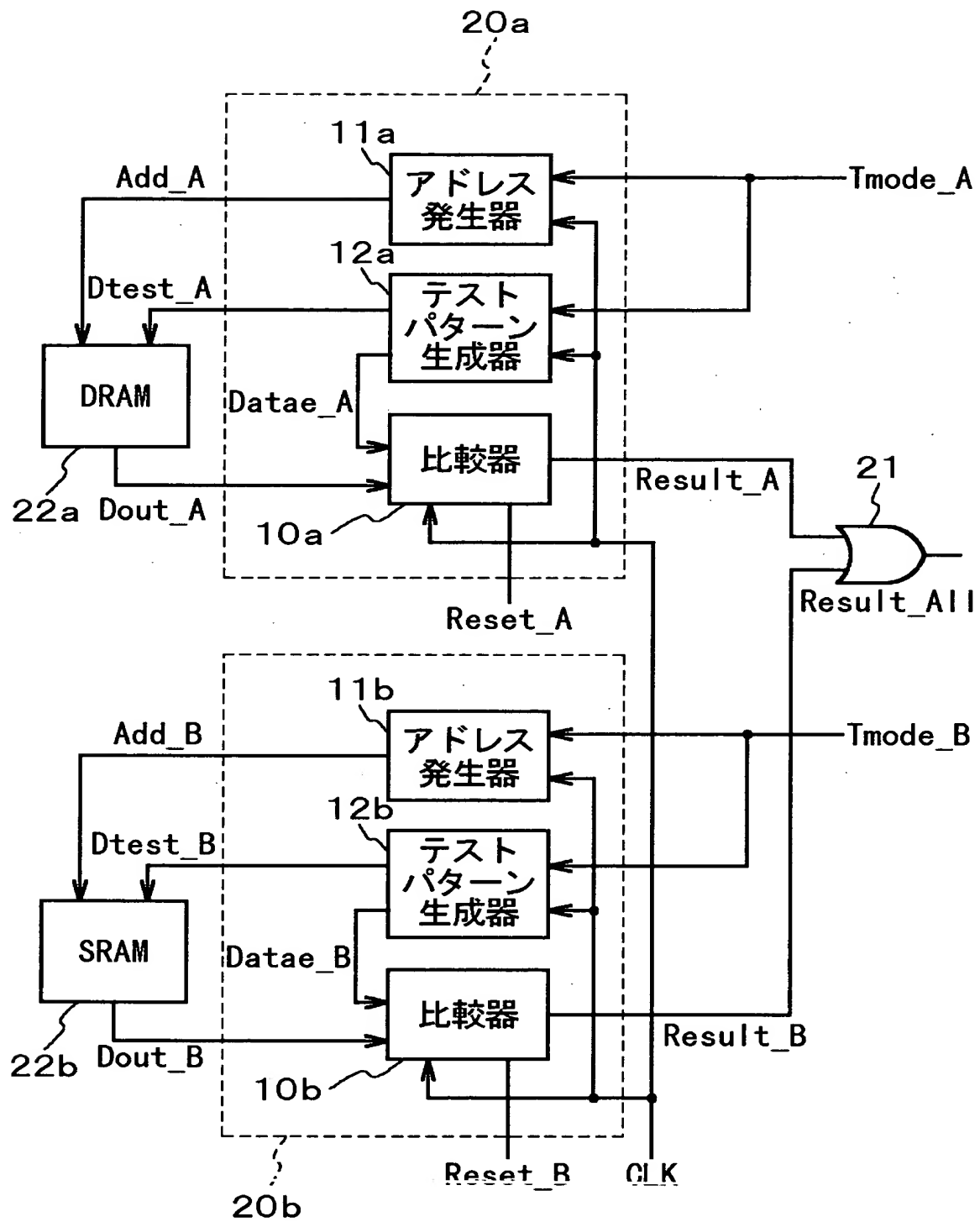
【図 2】

D _{out}	Data _e	Q _{out}	D _{in}
0	0	0	1
1	0	0	0
0	1	0	0
1	1	0	1
0	0	1	0
1	0	1	1
0	1	1	1
1	1	1	0

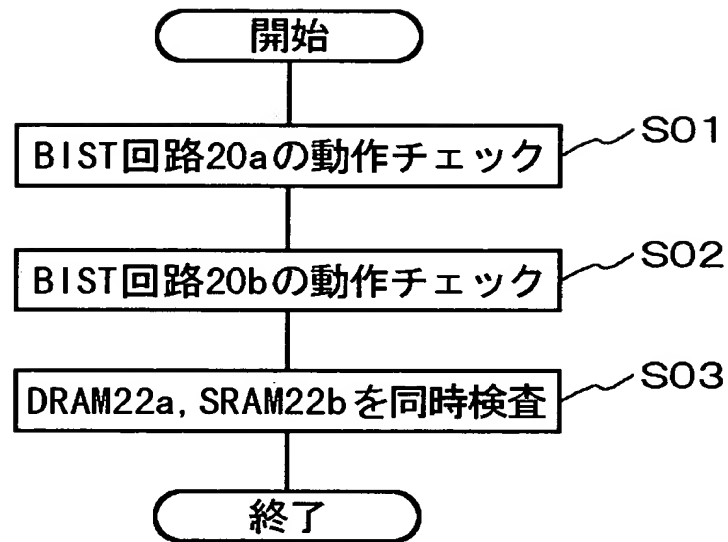
【図 3】



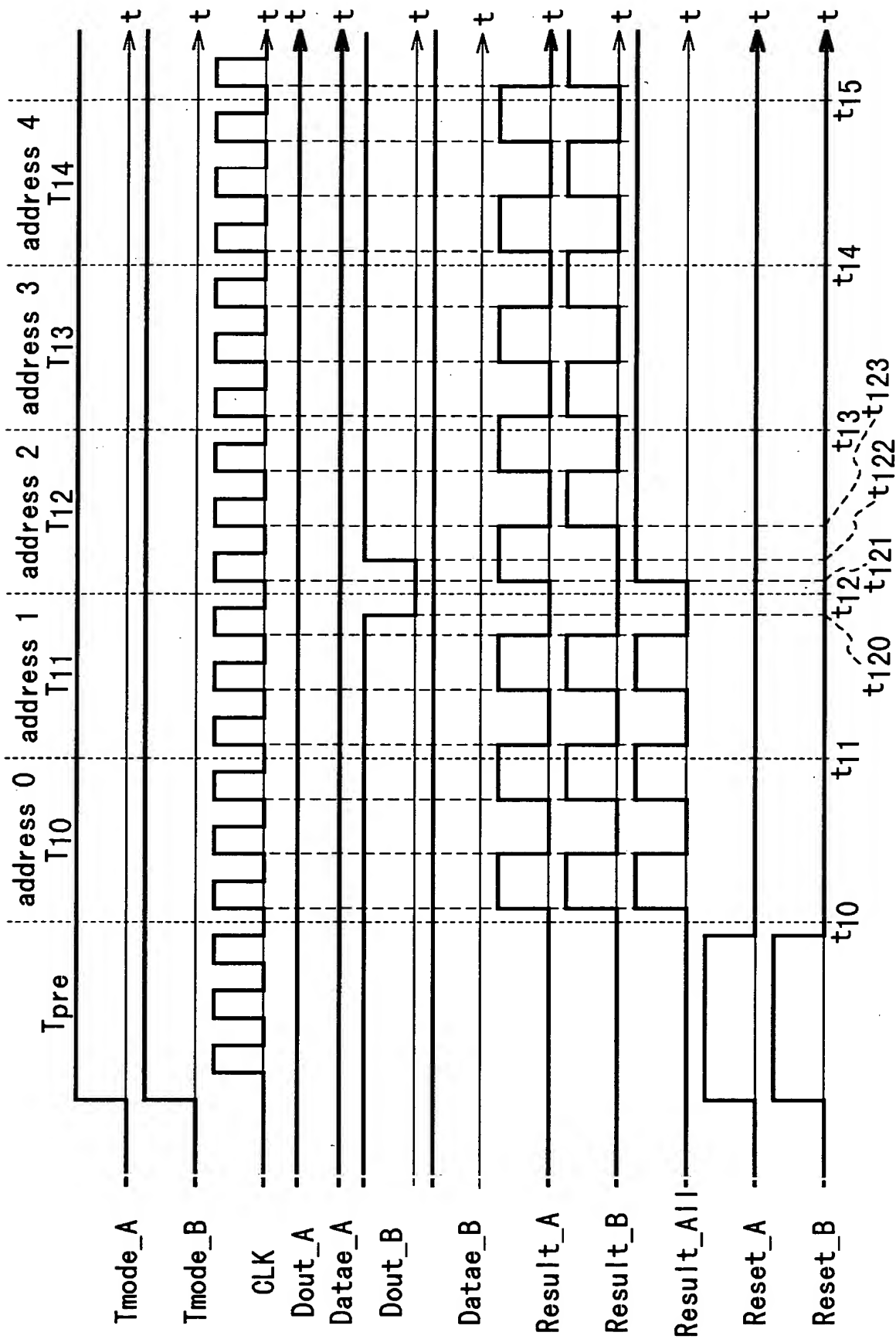
【図4】



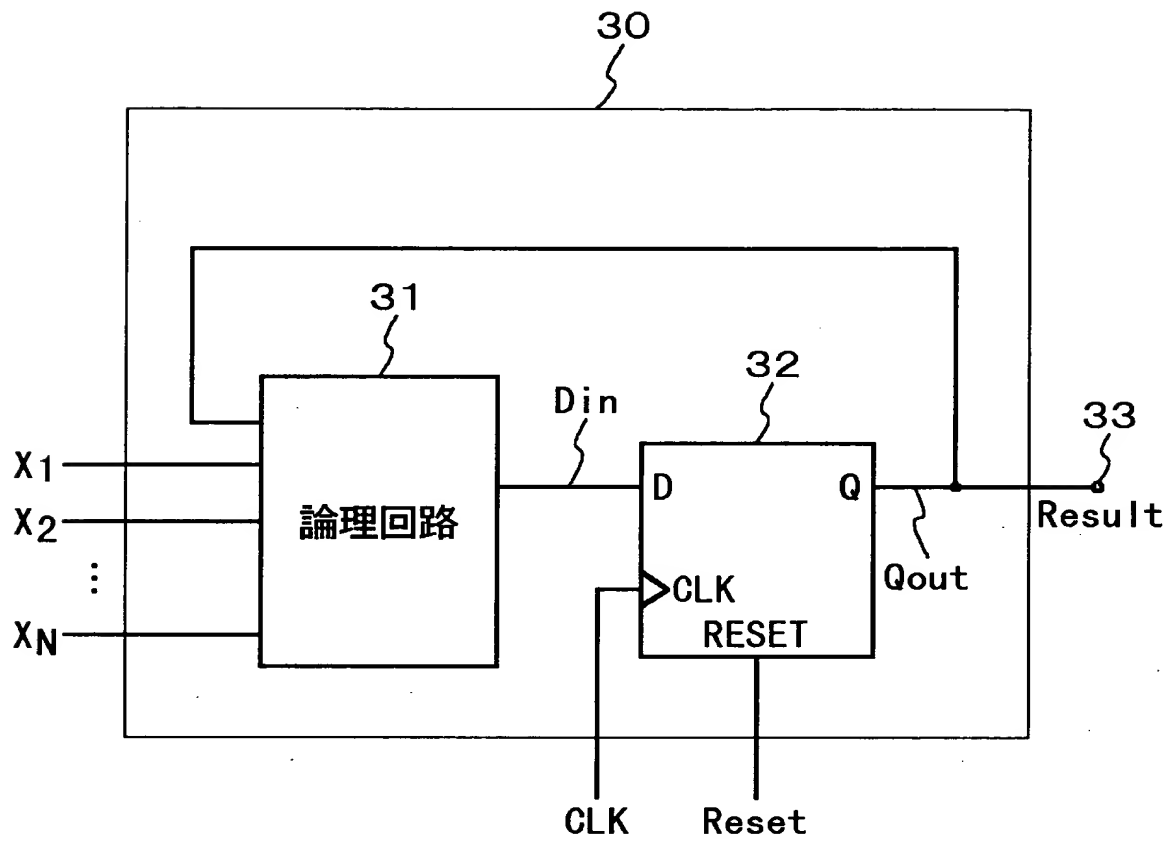
【図 5】



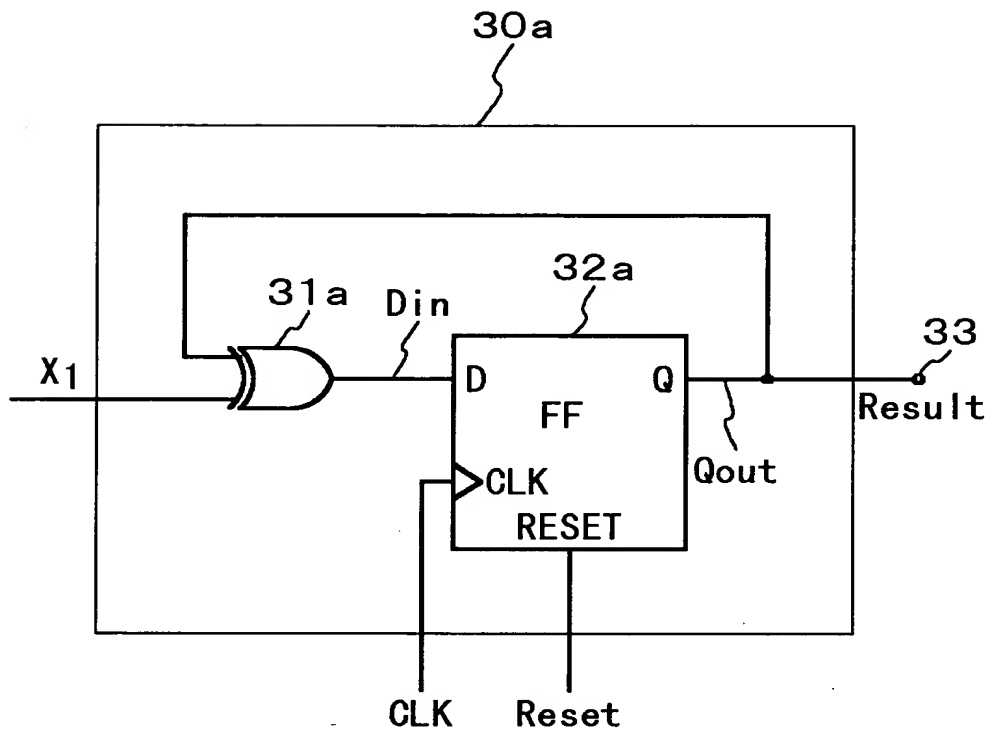
【図 6】



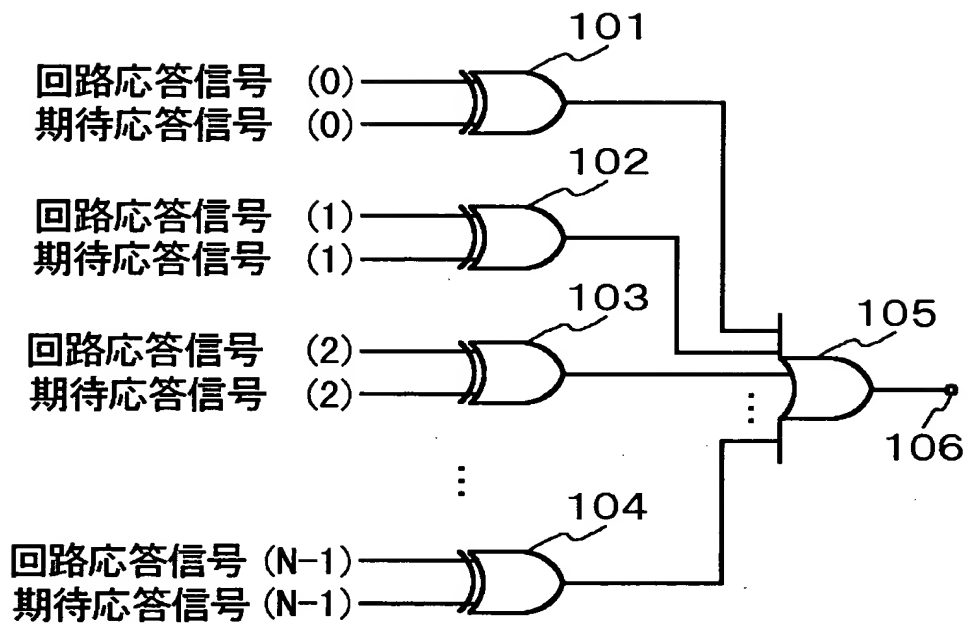
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 信号が所定の状態にあるか否かを判断回路を使用して判断する場合に、その判断と同時に、その判断を行う判断回路そのものに不良がないことが検出され得る判断回路を提供する。

【解決手段】 本発明による半導体装置は、入力信号群（D o u t、D a t a e）に基づいて、デジタル信号である結果信号（R e s u l t）を、クロック信号（C L K）に同期して出力する判断器（1 0）を具備する。判断器（1 0）は、入力信号群（D o u t、D a t a e）が所定の状態にあるとき、クロック信号（C L K）が示すタイミングで結果信号（R e s u l t）を反転して出力する。一方、入力信号群が所定のその状態にないとき、判断器（1 0）は、結果信号（R e s u l t）を反転せずに出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社